

Method for forming dual gate oxide of semiconductor device**Patent Assignee:** SAMSUNG ELECTRONICS CO LTD**Inventors:** BAEK S U; KANG M S**Patent Family**

Patent Number	Kind	Date	Application Number	Kind	Date	Week	Type
KR 2002009213	A	20020201	KR 200042752	A	20000725	200258	B

Priority Applications (Number Kind Date): KR 200042752 A (20000725)**Patent Details**

Patent	Kind	Language	Page	Main IPC	Filing Notes
KR 2002009213	A		1	H01L-021/32	

Abstract:

KR 2002009213 A

NOVELTY A dual gate oxide formation method of semiconductor devices is provided to improve qualities of the dual gate oxide by performing HCl annealing after forming the dual gate oxide.

DETAILED DESCRIPTION A first and a second active regions are defined in a semiconductor substrate(200). A first gate oxide is then formed on the first and second active regions(210). The first gate oxide formed on the first active region is removed by using a mask pattern as an etch mask(220). After removing the mask pattern, a second gate oxide is formed on the resultant structure(230). An annealing process is then carried out by in-situ using HCl gases(240).

pp; 1 DwgNo 1/10

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 21/32	(11) 공개번호 (43) 공개일자	특2002-0009213 2002년02월01일
--	------------------------	------------------------------

(21) 출원번호	10-2000-0042752
(22) 출원일자	2000년07월25일
(71) 출원인	삼성전자 주식회사
	경기 수원시 팔달구 매탄3동 416
(72) 발명자	백승우
	경기도용인시기흥읍농서리산24번지
	강만석
	경기도용인시기흥읍농서리산24번지
(74) 대리인	이영필, 정상빈, 이래호

심사청구 : 없음

(54) 반도체 소자의 듀얼 게이트 산화막 형성방법

요약

본 발명의 반도체 소자의 듀얼 게이트 산화막 형성 방법은, 반도체 기판내에 제1 및 제2 활성 영역을 한정하는 단계와, 제1 및 제2 활성 영역 위에 제1 게이트 산화막을 형성하는 단계와, 제1 활성 영역을 노출시키는 마스크막 패턴을 형성하는 단계와, 마스크막 패턴을 식각 마스크로 제1 활성 영역 위에 제1 게이트 산화막을 제거하는 단계와, 제1 활성 영역 위의 제1 게이트 산화막을 제거한 후에 마스크막 패턴을 제거하는 단계와, 제1 및 제2 활성 영역 위에 제2 게이트 산화막을 형성하는 단계, 및 제1 및 제2 게이트 산화막이 형성된 반도체 기판에 HCl 어닐링 공정을 수행하는 단계를 포함한다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 종래의 반도체 소자의 듀얼 게이트 산화막 형성 방법을 나타내 보인 플로우차트이다.
도 2는 본 발명에 따른 반도체 소자의 듀얼 게이트 산화막 형성 방법을 나타내 보인 플로우차트이다.
도 3 내지 도 5는 도 2의 듀얼 게이트 산화막 형성 방법의 각 단계를 보다 쉽게 이해할 수 있도록 하기 위해 나타내 보인 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로서, 보다 상세하게는 반도체 소자의 듀얼 게이트 산화막 형성 방법에 관한 것이다.

현재 반도체 소자의 집적도가 점점 증가함에 따라 게이트 전극의 유전막으로 사용되는 게이트 산화막의 두께 또한 점점 감소시키는 추세이며, 이에 따라 게이트 산화막의 유전 특성이 점점 중요해지고 있다. 한편 경우에 따라서는 반도체 기판에 집적되는 트랜지스터의 게이트 산화막 두께를 기판 영역에 따라 다르게 형성해야 하는 경우가 있다. 예를 들면 반도체 소자의 주변 영역에 형성되는 입출력 회로와 셀 영역에 형성되는 내부 회로의 전원 전압이 다른 경우 반도체 소자 내에 입출력 회로와 내부 회로 사이의 전원 전압을 완충하기 위한 완충 회로가 필요하다. 이러한 완충 회로는 일반적으로 내부 전압 변환자(이하 IVC: Internal Voltage Converter)라고 불리며, 공정상으로는 완충 회로가 구현되는 부분(통상, 주변 영역에 있음)에서 게이트 산화막을 형성할 때, 내부 회로가 구현되는 셀 영역의 게이트 산화막과 그 두께를 달리하여 형성하게 된다. 이와 같이, 게이트 산화막을 형성할 때 기판 영역에 따라 그 두께를 달리하여 형성하는 방법은 본 발명이 속한 기술 분야에서 통상 '듀얼 게이트 산화막 형성 방법'이라 명명되고 있다.

도 1은 일반적인 듀얼 게이트 산화막 형성 방법을 나타내 보인 플로우차트이다.

도 1을 참조하면, 먼저 반도체 기판에 제1 및 제2 활성 영역을 한정한다(단계 100). 즉 반도체 기판 중에서 내부 회로가 구현되는 셀 영역과 IVC와 같은 회로 요소가 구현되는 주변 영역에 트렌치를 형성하고, 그 내부를 산화막으로 매립하여 소자 분리막을 형성하는데, 이 소자 분리막에 의해 제1 및 제2 활성 영역이 한정된다. 다음에 제1 및 제2 활성 영역 위에 제1 게이트 산화막을 각각 형성한다(단계 110). 다음에 제1 활성 영역 위의 제1 게이트 산화막을 제거한다(단계 120). 이를 위하여 제1 활성 영역 위의 제1 게이트 산화막은 노출시키고 제2 활성 영역 위의 제2 게이트 산화막은 덮는 포토레지스트막 패턴을 형성하고, 이 포토레지스트막 패턴을 식각 마스크로 이용하는 습식 식각 방법으로 제1 활성 영역 위의 제1 게이트 산화막을 제거한다. 상기 제1 활성 영역 위의 제1 게이트 산화막을 제거한 후에는, 포토레지스트막 패턴을 제거하고 세정 공정을 수행한다. 다음에 제1 및 제2 활성 영역 위에 제2 게이트 산화막을 형성한다(단계 130). 그러면 제1 활성 영역에는 상대적으로 얇은 두께의 게이트 산화막이 형성되고, 제2 활성 영역에는 상대적으로 두꺼운 두께의 게이트 산화막이 형성된다.

그런데 이와 같은 종래의 듀얼 게이트 산화막 형성 방법을 적용하게 되면, 제2 게이트 산화막의 품질이 열악해지는 문제가 발생한다. 즉 상기 습식 식각 공정, 포토레지스트막 패턴 제거 공정 및 세정 공정에 의한 물리적인 손상, 표면 결함 또는 오염 등에 의해 제2 게이트 산화막의 품질이 저하된다.

발명이 이루고자하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 게이트 산화막의 품질이 열악해지지 않도록 하는 반도체 소자의 듀얼 게이트 산화막 형성 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 반도체 소자의 듀얼 게이트 산화막 형성 방법은, 반도체 기판에 제1 및 제2 활성 영역을 한정하는 단계: 상기 제1 및 제2 활성 영역 위에 제1 게이트 산화막을 형성하는 단계: 상기 제1 활성 영역을 노출시키는 마스크막 패턴을 형성하는 단계: 상기 마스크막 패턴을 식각 마스크로 상기 제1 활성 영역 위에 제1 게이트 산화막을 제거하는 단계: 상기 제1 활성 영역 위의 제1 게이트 산화막을 제거한 후에 상기 마스크막 패턴을 제거하는 단계: 상기 제1 및 제2 활성 영역 위에 제2 게이트 산화막을 형성하는 단계: 및 상기 제1 및 제2 게이트 산화막이 형성된 반도체 기판에 HCl 어닐링 공정을 수행하는 단계를 포함하는 것을 특징으로 한다.

상기 HCl 어닐링 공정은 상기 제2 게이트 산화막을 형성한 동일 설비에서 인 시투로 수행할 수 있다.

본 발명에 있어서, 상기 마스크막 패턴을 제거한 후에 세정 공정을 수행하는 단계를 더 포함할 수도 있다.

이하 첨부 도면을 참조하여 본 발명에 따른 반도체 소자의 듀얼 게이트 산화막 형성 방법의 바람직한 실시예를 상세히 설명한다. 그러나 본 발명의 실시예는 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술되는 실시예에 한정되는 것으로 해석되는 것은 아니다. 이하의 도면을 참조한 설명은 본 발명을 보다 완전하게 설명하기 위하여 제공되는 것이다. 도면상에서 동일한 부호는 동일한 요소를 지칭한다. 또한 '어떤 층이 다른 층 또는 기판의 상부에 있다'라고 기재된 경우, 상기 어떤 층은 상기 다른 층 또는 기판의 상부에 직접 존재할 수도 있고, 그 사이에 제3의 층이 개재될 수도 있다.

이하에서 설명되는 본 발명의 바람직한 실시예에서는 셀 영역보다 주변 영역에서 게이트 산화막을 상대적으로 더 두껍게 형성한다. 또한 설명의 편의를 위하여 셀 영역 및 주변 회로 영역에 있어 게이트 산화막이 형성되는 영역을 각각 제1 활성 영역 및 제2 활성 영역이라 칭한다.

도 2는 본 발명에 따른 반도체 소자의 듀얼 게이트 산화막 형성 방법을 단계별로 나타내 보인 플로차트이고, 도 3 내지 도 5는 이를 보다 쉽게 이해할 수 있도록 나타내 보인 단면도들이다.

먼저 도 3에 도시된 바와 같이, 반도체 기판(300)에 제1 활성 영역(305a)과 제2 활성 영역(305b)을 한정한다(단계 200). 즉 반도체 기판(300) 중에서 내부 회로가 구현되는 셀 영역(C)과 IVC와 같은 회로 요소가 구현되는 주변 영역(P)에 트렌치(T)를 형성하고 그 내부를 산화막으로 매립하여 소자 분리막(310)을 형성한다. 상기 소자 분리막(310)이 형성되면 제1 활성 영역(305a) 및 제2 활성 영역(305b)이 한정된다. 다음에 제1 및 제2 활성 영역(305a 및 305b) 상에 제1 게이트 산화막(315a 및 315b)을 형성한다(단계 210). 상기 제1 게이트 산화막(315a 및 315b)은 열산화 방법을 사용하여 형성한다. 다음에 제1 활성 영역(305a) 위의 제1 게이트 산화막(315a)을 제거한다(단계 220). 이를 위하여 먼저 제2 활성 영역(305b) 상에 형성된 제1 게이트 산화막(315b)을 덮는 포토레지스트막 패턴(320)을 형성한다.

다음에 도 4에 도시된 바와 같이, 상기 포토레지스트막 패턴(320)을 식각 마스크로 이용하는 습식 식각 방법으로 제1 활성 영역(305a) 상의 제1 게이트 산화막(315a)을 제거하여 제2 활성 영역(305b)에만 제1 게이트 산화막(315b)을 남겨둔다.

다음에 도 5에 도시된 바와 같이, 포토레지스트막 패턴(도 4의 320 참조)을 제거한 후 반도체 기판(300) 전면을 세정한다. 이어서, 열산화 방법으로 제1 및 제2 활성 영역(305a 및 305b)에 제2 게이트 산화막(325a 및 325b)을 형성한다(단계 230). 이 때 제2 게이트 산화막(325b)은 잔류하는 제1 게이트 산화막(315b) 하부에서 더 길러지게 된다. 이에 따라 최종적으로 제1 및 제2 활성 영역(305a 및 305b)에서 형성되는 게이트 산화막의 두께가 달라지게 된다. 즉 제1 활성 영역(305a)에는 제2 게이트 산화막(325a)의 두께가 동일한 상대적으로 얇은 두께의 게이트 산화막이 형성되고, 제2 활성 영역(305b)에는 제1 게이트 산화막(315a)과 제2 게이트 산화막(325a)의 두께가 합쳐진 상대적으로 두꺼운 두께의 게이트 산화막이 형성된다. 상기 제2 게이트 산화막(325a 및 325b) 형성 방법으로는 나이트로전 산화 공정을 사용할 수 있다.

이와 같이 서로 다른 두께의 게이트 산화막들을 형성한 후에는 HCl 어닐링 공정을 수행한다(단계 240).

상기 HCl 어닐링 공정은 상기 제2 게이트 산화막(325a 및 325b) 형성시에 사용되는 설비와 동일한 설비에서 인 시튜(in-situ)로 수행할 수 있다. 즉 열산화 설비에서 상기 제2 게이트 산화막(325a 및 325b)을 형성한 후에, 대략 850℃의 온도에서 HCl 가스를 공급한다. 그러면 공급된 HCl에서 분해된 H가 제2 게이트 산화막(325a 및 325b) 내의 불완전한 결합을 치환함으로써 제2 게이트 산화막(325a 및 325b) 표면에서의 결합, 불순물 오염 및 막질 내부의 전위(dislocation) 등을 복구시키며, 누설 전류 유발과 브레이크다운 전압의 감소를 유발하는 원인들 중의 하나인 중금속을 제거함으로써, 결국 게이트 산화막의 품질을 향상시킨다.

상기에서 도면을 참조하면서 본 발명의 바람직한 실시예를 상세히 설명하였다. 그러나 본 발명은 이에 한정되는 것은 아니고 본 발명의 기술적 사상의 범위 한에서 당 분야에서 통상의 지식으로 그 변형이나 개량이 가능하다. 즉 제1 활성 영역(305a)에서보다 제2 활성 영역(305b)에서 게이트 산화막을 먼저 형성할 수 있다. 또한 제2 활성 영역(305b)보다는 제1 활성 영역(305a)에서 게이트 산화막을 두껍게 형성할 수도 있다.

발명의 효과

본 발명에 따른 반도체 소자의 듀얼 게이트 산화막 형성 방법에 의하면, 게이트 산화막을 형성한 후에 HCl 어닐링 공정을 수행함으로써 양호한 품질의 듀얼 게이트 산화막을 형성할 수 있다는 이점이 있다.

(57) 청구의 범위

청구항 1

반도체 기판내에 제1 및 제2 활성 영역을 한정하는 단계:

상기 제1 및 제2 활성 영역 위에 제1 게이트 산화막을 형성하는 단계;

상기 제1 활성 영역을 노출시키는 마스크막 패턴을 형성하는 단계;

상기 마스크막 패턴을 식각 마스크로 상기 제1 활성 영역 위에 제1 게이트 산화막을 제거하는 단계;

상기 제1 활성 영역 위의 제1 게이트 산화막을 제거한 후에 상기 마스크막 패턴을 제거하는 단계;

상기 제1 및 제2 활성 영역 위에 제2 게이트 산화막을 형성하는 단계; 및

상기 제1 및 제2 게이트 산화막이 형성된 반도체 기판에 HCl 어닐링 공정을 수행하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 듀얼 게이트 산화막 형성 방법.

청구항 2

제1항에 있어서,

상기 HCl 어닐링 공정은 상기 제2 게이트 산화막을 형성한 동일 설비에서 인 시튜로 수행하는 것을 특징으로 하는 반도체 소자의 듀얼 게이트 산화막 형성 방법.

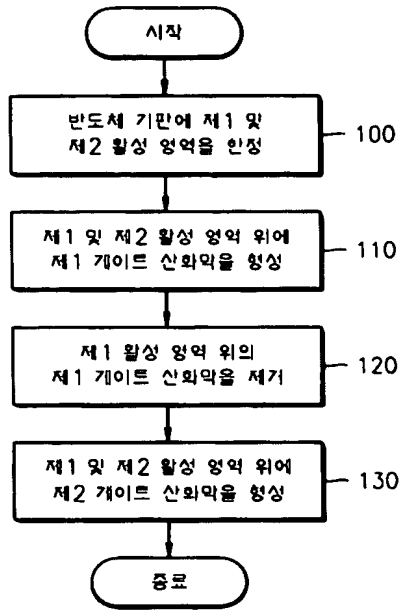
청구항 3

제1항에 있어서,

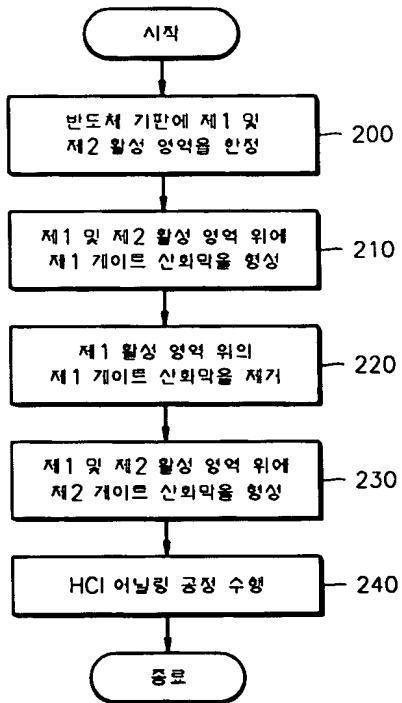
상기 마스크막 패턴을 제거한 후에 세정 공정을 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 듀얼 게이트 산화막 형성 방법.

도면

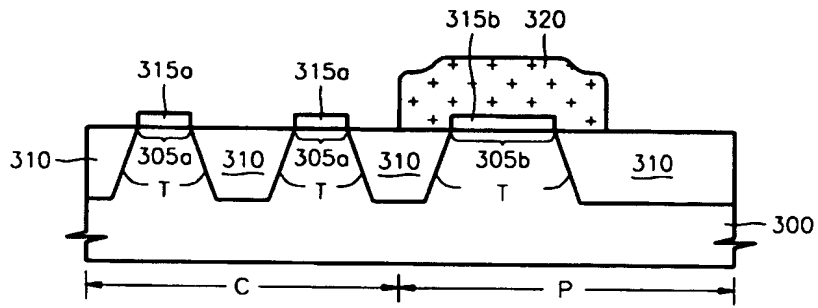
도면1



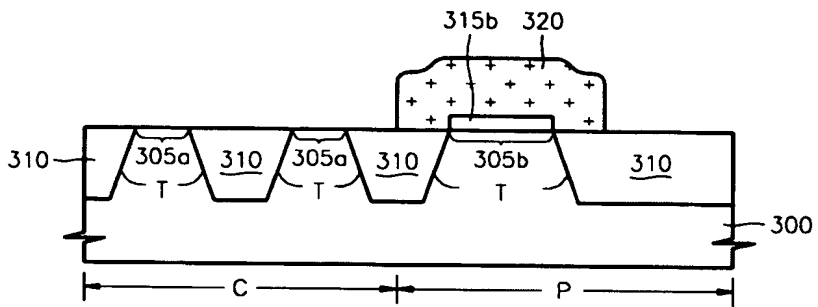
도면2



도면3



도면4



도면5

